

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10260653 A**(43) Date of publication of application: **29.09.98**

(51) Int. Cl.

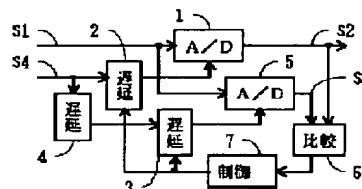
G09G 3/20
G06F 3/153
H03L 7/00
H03M 1/12
H04N 5/14
H04N 5/66

(21) Application number: **09067119**(71) Applicant: **FUJITSU GENERAL LTD**(22) Date of filing: **19.03.97**(72) Inventor: **HASHIGUCHI KOTA****(54) SAMPLING PHASE CONTROLLER****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a technology which automatically optimizes the phase of a sampling clock signal of A/D conversion for a video signal according to the phase of the video signal.

SOLUTION: An input video signal S1 is converted by an A/D converting circuit 1 with a sampling clock signal S4 to obtain an output video signal S2. The signal S4 is delayed by a delay circuit 4 to obtain a 2nd sampling clock signal. With the signal generated by delaying the sampling clock signal by a variable delay circuit 3, the input video signal S1 is converted by an A/D converting circuit 5 to obtain an output video signal S3. A comparing circuit 6 compares the levels of the output video signals S2 and S3 with each other and a control signal generating circuit 7 decreases the delay quantities of the variable delay circuits 2 and 3 when S2 is a certain time larger than S3 and increases them when smaller. Thus, the phase of the sampling clock signal of the video signal S1 is controlled to a phase matching the input video signal S1.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-260653

(43) 公開日 平成10年(1998) 9月29日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/20

G 0 9 G 3/20

R

G 0 6 F 3/153

3 3 0

G 0 6 F 3/153

3 3 0 A

H 0 3 L 7/00

H 0 3 L 7/00

A

H 0 3 M 1/12

H 0 3 M 1/12

C

H 0 4 N 5/14

H 0 4 N 5/14

B

審査請求 未請求 請求項の数 9 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願平9-67119

(22) 出願日

平成9年(1997) 3月19日

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 橋口 耕太

川崎市高津区末長1116番地 株式会社富士

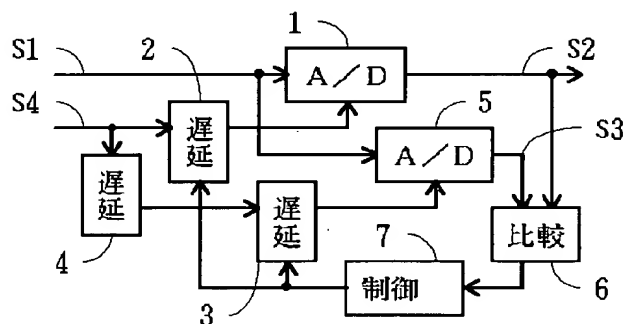
通ゼネラル内

(54) 【発明の名称】 サンプリング位相制御装置

(57) 【要約】

【課題】 映像信号のA/D変換のサンプリングクロック信号の位相を映像信号の位相に合わせて自動的に最適化する技術を提供する。

【解決手段】 入力映像信号S1をサンプリングクロック信号S4でA/D変換回路1により変換して出力映像信号S2とする。信号S4を遅延回路4で遅らせ第二のサンプリングクロック信号を得る。その信号を可変遅延回路3で遅延した信号で、入力映像信号S1をA/D変換回路5により変換して、出力映像信号S3を得る。出力映像信号S2とS3のレベルを比較回路6で比較し、S2がS3に比べて一定値より大きいときは、制御信号発生回路7により可変遅延回路2及び3の遅延量を減少させ、小さいときは増加させる。このようにして、入力映像信号S1のサンプリングクロック信号の位相を入力映像信号S1に適した位相に制御する。



【特許請求の範囲】

【請求項1】 パソコン等から出力する2値信号からなる映像信号をA/D変換する際のサンプリングクロック信号の位相を、映像信号の位相に合わせて制御するサンプリング位相制御装置において、前記サンプリングクロック信号の1周期内で同クロックの同サンプリングタイミング信号とは異なるタイミングでサンプリングを行う位相検出用タイミングをもつ第二のサンプリングクロック信号を生成する第二のサンプリングクロック信号生成回路と、前記サンプリングタイミング及び位相検出用タイミングの両位相でA/D変換するA/D変換回路と、同両位相でのA/D変換出力レベルを比較する比較回路と、同比較回路の出力により前記サンプリングクロック信号の位相を制御する可変遅延回路の遅延量を制御する制御信号を生成する位相制御回路を設け、前記サンプリングクロック信号を前記映像信号のサンプリングに適した位相に制御することを特徴としたサンプリング位相制御装置。

【請求項2】 前記サンプリングクロック信号と前記第二のサンプリングクロック信号は、同サンプリングクロック信号の1周期内に前記位相検出用タイミングを備えた2つのサンプリングタイミングからなる1つのクロック信号とした2位相クロック信号とすることを特徴とした請求項1記載のサンプリング位相制御装置。

【請求項3】 前記両位相でのA/D変換出力レベルが一致したときは、前記可変遅延回路の遅延量の制御は行わないようにすることを特徴とした請求項1又は請求項2記載のサンプリング位相制御装置。

【請求項4】 前記遅延量を制御する制御信号を積分する積分回路を設け、前記遅延量の変動を抑えるようにすることを特徴とした請求項1又は請求項2記載のサンプリング位相制御装置。

【請求項5】 前記サンプリングタイミングと位相検出用タイミングの位相差は、 $\pi/2$ ラジアンとすることを特徴とした請求項1又は請求項2記載のサンプリング位相制御装置。

【請求項6】 前記2位相クロックは、前記サンプリングクロック信号を $\pi/4$ ラジアン遅延したクロック信号である $\pi/4$ クロック信号を生成する回路と、 $\pi/2$ ラジアン遅延したクロック信号である $\pi/2$ クロック信号を生成する回路と、前記 $\pi/2$ クロック信号を反転する否定回路と、同否定回路の出力信号と前記 $\pi/4$ クロック信号の論理積を得る論理積回路と、同論理積回路の出力と前記サンプリングクロック信号との論理積を得る論理積回路とを設け、前記サンプリングクロック信号と $\pi/4$ クロック信号と $\pi/2$ クロック信号から得るようにすることを特徴とした請求項5記載のサンプリング位相制御装置。

【請求項7】 前記 $\pi/4$ クロック信号及び $\pi/2$ クロック信号を生成する回路は、前記サンプリングクロック

信号を水平同期信号を基準信号とするPLL（位相同期ループ）から生成するものとし、同PLLの分周回路の前段の1/4分周部の出力をデータとし、同分周部への入力信号をクロックとする2段のシフトレジスタを設け、同1/4分周部の出力を前記サンプリングクロック信号とし、同シフトレジスタの1段目及び2段目の出力を各々前記 $\pi/4$ クロック信号及び $\pi/2$ クロック信号とすることにより構成することを特徴とした請求項6記載のサンプリング位相制御装置。

10 【請求項8】 前記2位相クロックでA/DするA/D変換回路は1ヶとし、同A/D変換回路の出力を前記サンプリングタイミングの後、位相検出用タイミングの前でラッチすることにより前記映像信号のA/D変換信号を得るようにすることを特徴とした請求項2記載のサンプリング位相制御装置。

20 【請求項9】 前記ラッチを行うクロック信号は、前記2位相クロックを反転する否定回路と、同否定回路の出力と前記サンプリングクロック信号の論理積を得る論理積回路と、同論理積回路の出力を反転する否定回路とから生成することを特徴とした請求項8記載のサンプリング位相制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パソコンからの映像信号等をA/D変換するときのサンプリングクロック信号の位相を自動的に最適化するサンプリング位相制御回路に関する。

【0002】

【従来の技術】パソコンから出力する映像信号をA/D変換して、ディジタル映像信号としてPDP等の表示装置に表示するときには、一般に水平同期信号を基準信号としたPLL回路により水平同期信号にロックしたサンプリングクロックを得て、これにより前記映像信号をサンプリングしていた。ただし、サンプリングされる映像信号は、帯域制限フィルタ、コントラスト調整のための利得増幅器、輝度調整のための直流重畳回路等を経てA/D変換回路に入る一方、サンプリングクロックはバッファ回路等を通過しているため、A/D変換回路の入力部における映像信号とサンプリングクロックの位相は必ずしも合うものではなかった。これらの位相が合わなければ、映像信号の本来の値がサンプリングできず、その映像信号を表示したときに文字がぼけたり、細い縦線と横線で輝度が異なるといった不具合が生ずることとなる。このような不具合をなくすために、従来はサンプリングクロックの位相をユーザが調整することとしている。しかし、上記の各回路による位相の遅延量は、温度変化、経年変化等があり、調整が煩わしいという問題があった。

【0003】

50 【発明が解決しようとする課題】本発明は上記問題点に

鑑みなされたもので、映像信号のA/D変換のサンプリングクロック信号の位相を映像信号の位相に合わせて自動的に最適化する技術を提供することを目的とする。

【0004】

【課題を解決するための手段】サンプリングクロック信号の1周期内で同クロックのサンプリングタイミングとは異なるタイミングでサンプリングを行う位相検出用タイミングをもつ第二のサンプリングクロック信号を生成する第二のサンプリングクロック信号生成回路と、前記サンプリングタイミング及び位相検出用タイミングの両位相でA/D変換するA/D変換回路と、同両位相でのA/D変換出力レベルを比較する比較回路と、その比較した結果により前記サンプリングクロック信号の位相を制御する可変遅延回路の遅延量を制御する制御信号を生成する位相制御回路を設け、前記サンプリングクロック信号を前記映像信号のサンプリングに適した位相に制御することにより、映像信号の位相とサンプリングクロック信号の位相が最適値からずれたときでも、最適な位相で映像信号がサンプリングできるようにする。

【0005】

【発明の実施の形態】パソコン等から出力する文字信号等の2値信号からなる映像信号をA/D変換するときのサンプリングクロック信号の位相を、映像信号の位相に合わせて制御するサンプリング位相制御装置において、前記サンプリングクロック信号の1周期内で同クロックのサンプリングタイミングとは異なるタイミングでサンプリングを行う位相検出用タイミングをもつ第二のサンプリングクロック信号を生成する第二のサンプリングクロック信号生成回路と、前記サンプリングタイミング及び位相検出用タイミングの両位相でA/D変換するA/D変換回路と、同両位相でのA/D変換出力レベルを比較する比較回路と、その比較した結果により前記サンプリングクロック信号の位相を制御する可変遅延回路の遅延量を制御する制御信号を生成する位相制御回路を設け、前記サンプリングクロック信号を前記映像信号のサンプリングに適した位相に制御する。

【0006】前記サンプリングクロック信号と前記第二のサンプリングクロックは、同サンプリングクロック信号の1周期内に前記位相検出用タイミングを備えた2つのサンプリングタイミングからなる1つの2位相クロック信号とする。

【0007】前記両位相でのA/D変換出力レベルが一致したときは、前記可変遅延回路の遅延量の制御は行わないようにする。

【0008】前記遅延量を制御する制御信号を積分する積分回路を設け、前記映像信号の雑音等で発生する遅延量の変動を抑えるようにする。

【0009】前記サンプリングタイミングと位相検出用タイミングの位相差は、 $\pi/2$ ラジアンとする。

【0010】前記2位相クロックは、前記サンプリング

クロック信号を $\pi/4$ ラジアン遅延した $\pi/4$ クロック信号を生成する回路と、 $\pi/2$ ラジアン遅延した $\pi/2$ クロック信号を生成する回路と、 $\pi/2$ クロック信号を反転する否定回路と、同否定 $\pi/2$ クロック信号と $\pi/4$ クロック信号の論理積を得る論理積回路と、同論理積回路の出力と前記サンプリングクロックとの論理積を得る論理積回路とを設け、前記サンプリングクロックと $\pi/4$ クロック信号と $\pi/2$ クロック信号から得るようにする。

10 【0011】前記 $\pi/4$ クロック信号及び $\pi/2$ クロック信号を生成する回路は、前記サンプリングクロック信号を水平同期信号を基準信号とするPLL（位相同期ループ）から生成するものとし、同PLLの分周回路の前の1/4分周部の出力をデータとし、同分周部への入力信号をクロックとする2段のシフトレジスタを設け、同1/4分周部の出力を前記サンプリングクロックとし、同シフトレジスタの1段目及び2段目の出力を各々前記 $\pi/4$ クロック信号及び $\pi/2$ クロック信号とすることにより構成する。

20 【0012】前記2位相クロックでA/DするA/D変換回路は1ヶとし、同A/D変換回路の出力を前記サンプリングタイミングの後、位相検出用タイミングの前でラッチすることにより前記映像信号のA/D変換信号を得るようにする。

【0013】前記ラッチを行うラッチクロック信号は、前記2位相クロックを反転する否定回路と、同否定回路の出力と前記サンプリングクロックの論理積を得る論理積回路と、同論理積回路の出力を反転する否定回路とから生成する。

30 【0014】

【実施例】図1は、本発明によるサンプリング位相制御装置の1実施例の要部ブロック図である。パソコン等から出力する文字信号等の2値信号からなる入力映像信号S1をサンプリングクロック信号S4を可変遅延回路2を通したサンプリングクロック信号でA/D変換回路1によりA/D変換し、ディジタルの出力映像信号S2として、PDPに表示する等の用に供する。サンプリングクロック信号S4を同クロックの1周期内の一定位相だけ遅延させる遅延回路4によりサンプリングタイミング信号S4とは異なるタイミングでサンプリングを行う位相検出用タイミングをもつ第二のサンプリングクロック信号を得る。この第二のサンプリングクロック信号を可変遅延回路3を通した信号で、入力映像信号S1をA/D変換回路5によりA/D変換して、第二の出力映像信号S3を得る。出力映像信号S2と第二の出力映像信号S3のレベルを比較回路6で比較して、出力映像信号S2がS3に比べて一定値より大きいときは、入力映像信号に対してサンプリングクロック信号の位相が遅れているとして、可変遅延回路2及び3の遅延量を制御する制御信号を生成する制御信号発生回路7により、可変遅延

回路2及び3の遅延量を減少させる。逆に、出力映像信号S2がS3に比べて一定値より小さいときは、入力映像信号に対してサンプリングクロック信号の位相が進んでいるとして、制御信号発生回路7により、可変遅延回路2及び3の遅延量を増加させる。このようにして、入力映像信号S1をサンプリングするサンプリングクロック信号の位相を入力映像信号S1のサンプリングに適した位相に制御する。

【0015】図2は、本発明によるサンプリング位相制御装置の別の実施例の(A)要部ブロック図、(B)主要信号のタイミング図である。上記と同様に、入力映像信号S1をA/D変換回路21でA/D変換して、デジタルの出力映像信号S2を得る。サンプリングクロック信号S4から2位相クロック信号生成回路25により、サンプリングクロック信号S4の1周期内に映像信号のサンプリングタイミングt1と位相検出用タイミングt2の2つのサンプリングタイミングを持つ1つの2位相クロック信号S5を生成する。2位相クロック信号S5を可変遅延回路27を介して1つのA/D変換回路21により入力映像信号S1をA/D変換する。A/D変換回路21の出力をラッチ回路22を用い、サンプリングクロック信号S4を可変遅延回路26で可変遅延回路27での遅延量プラス一定量の遅延を行った、サンプリングタイミングt1より僅かに遅いタイミングでラッチし、出力映像信号S2を得る。同様に、遅延回路26と27から、 $\pi/4$ クロック生成回路29で位相検出用タイミングt2より僅かに遅いタイミングとなるラッチパルスを生成し、これによりラッチ回路23を用いてA/D変換回路21の出力をラッチして、位相検出用の第二の出力映像信号S3を得る。

【0016】除算回路24で第二の出力映像信号S3を出力映像信号S2で除算し、その出力を比較回路32で一定値S7と比較して、出力映像信号S2に対するS3が一定値S7より大きいときには、映像信号S1に対してサンプリングクロック信号S4が進んでいるとして、加算回路30により可変遅延回路26及び27の遅延量を大きくする。逆に、出力映像信号S2に対するS3が一定値S7より小さいときには、映像信号S1に対してサンプリングクロック信号S4が遅れているとして、減算回路31により可変遅延回路26及び27の遅延量を小さくする。ここで、一定値S7は例えば以下になる。今入力映像信号S1を、サンプリングクロック信号S4の1周期を半周期とする正弦波と仮定し、入力映像信号S1の振幅を1に規格化すると、サンプリングクロック信号S4の位相が、入力映像信号S1をサンプリングするのに最適な位相のときの、サンプリングタイミングt1でサンプリングした出力映像信号S2のレベルL1は1となり、位相検出用タイミングt2でサンプリングして第二の出力映像信号S3のレベルL2は、 $L2 = \sin(\pi/2 + \pi/4) = 0.71$ となる。従っ

て、出力映像信号S3をS2で除算すると、 $L2/L1 = 0.71$ となる。同様にして、サンプリングクロックが $\pi/4$ ラジアンだけ進んでいるときは、 $L1 = \sin(\pi/2 - \pi/8) = 0.71$ 、 $L2 = \sin(\pi/2 + \pi/8) = 0.71$ で $L2/L1 = 1$ となり、逆にサンプリングクロックが $\pi/4$ ラジアンだけ遅れているときは、 $L1 = \sin(\pi/2 + \pi/8) = 0.92$ 、 $L2 = \sin(\pi/2 + \pi/4) = 0.71$ で $L2/L1 = 0.77$ となる。そこで、一定値S7として0.72として、 $L2/L1$ がこれより大きいときはサンプリングクロックの位相を遅れせ、小さいときは進める。

【0017】可変遅延回路26、27の遅延量を制御する制御信号は、積分回路36を通して、入力映像信号S1の雑音等で発生する遅延量の制御信号を時間積分することで、遅延量の変動を抑えるようにする。また、比較回路33により出力映像信号S2とS3のレベルを比較し、両出力レベルが一致したときは、可変遅延回路26、27の遅延量を制御する制御をゲート回路28で止めて、遅延量の制御は行わないようにする。ゲート回路28はさらに否定回路34と論理和回路35により、出力映像信号S2が0レベルのときにも閉じるようにすることで、出力映像信号S2が無いときにも遅延量の制御は行わないようにできる。

【0018】図3は、本発明によるサンプリング位相制御装置の2位相クロック生成回路の1実施例の要部ブロック図、(B)同主要信号のタイミング図である。サンプリングクロック信号は、水平同期信号S8を基準信号とする、位相比較回路41、積分回路42、VCO(電圧制御発振器)43、1/4分周部44及び分周回路45から構成するPLL(位相同期ループ)で生成する。PLLの分周回路の前段の部分の1/4分周部44の出力をサンプリングクロック信号S4とする。サンプリングクロック信号S4をデータとし、VCOの出力である1/4分周部44への入力信号をクロックとする2段のシフトレジスタ46を設けて、シフトレジスタ46の1段目の出力から、サンプリングクロックS4から $\pi/4$ ラジアンだけ遅れた $\pi/4$ クロック信号S9を得る。また、シフトレジスタ46の2段目の出力から、サンプリングクロックS4から $\pi/2$ ラジアンだけ遅れた $\pi/2$ クロック信号S10を得る。

【0019】 $\pi/2$ クロック信号S10を否定回路47で反転し、論理積回路48でその出力と $\pi/4$ クロック信号S9の論理積をとり、さらに、論理積回路49でその出力とサンプリングクロック信号S4との論理積をとることにより、その間の位相差が $\pi/2$ ラジアンとなるサンプリングタイミングt1と位相検出用タイミングt2をもつ2位相クロックS5が得られる。

【0020】図4は、本発明によるサンプリング位相制御装置の $\pi/4$ クロック生成回路の1実施例の要部ブロック図、(B)同各信号のタイミング図である。上記の

【 0 0 2 1 】

【図面の簡単な説明】

【図２】本発明によるサンプリング位相制御装置の別の実施例の（Ａ）要部ブロック図、（Ｂ）主要信号のタイミング図である。

【図４】本発明によるサンプリング位相制御装置の $\pi/4$ クロック生成回路の１実施例の要部ブロック図、

【符号の説明】

S 4 サンプリングクロック信号

2、3 可變遲延回路

6 比較回路

22、23 ラッチ回路

25 2位相クロック生成回路

26、27 可變遲延回路

28 ゲート回路

29 $\pi/4$ クロック生成回路

30 加算回路

3 1 減算回路

3 2、3 3 比較回路

3 4 否定回路

3 5 論理和回路

3.6 積分回路

S 7 一定値

S 5、S 6 2位相クロック信号

S 8 水平同期信号

4.1 位相比較回路

4.2 積分回路

4.3 VCO (電圧制御発振器)

4 4 1 / 4 分周部

4 5 分周器

46 シフトレジスタ

4.7 否定回路

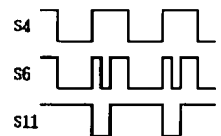
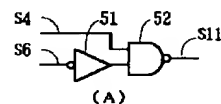
48、49 論理積回路

5.1 否定回路

5.2 論理積否定回路

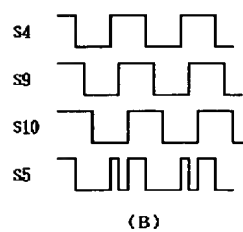
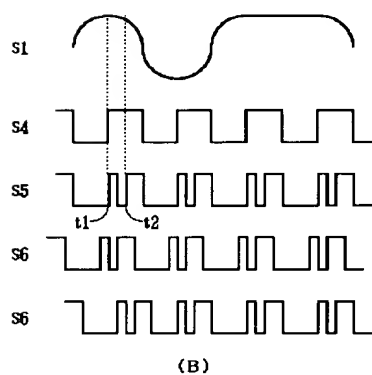
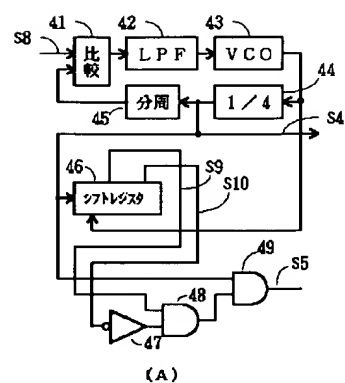
S 1 1 $\pi/4$ クロック信号

【图4】



(B)

【図 3】



C